

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-208633

(43)Date of publication of application : 26.07.2002

(51)Int.Cl.

H01L 21/768

H01L 21/28

H01L 29/41

(21)Application number : 2001-002965

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 10.01.2001

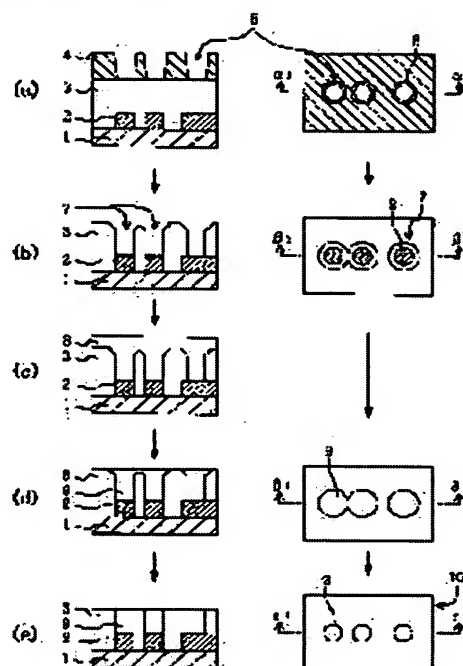
(72)Inventor : IMAI SHINICHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To restrain and prevent short-circuitings of wirings which are caused by concentration of connection holes which are mutually adjacent to each other, in a semiconductor device whose wiring pitch is narrow.

SOLUTION: On a semiconductor substrate 1, a wiring layer 2 is formed, and continuously, an interlayer insulating film 3 is formed, and is planarized. By using a resist film 4, on which aperture parts 5 are formed as an etching mask, the interlayer insulating film 3 is dry-etched, and connection holes 7, reaching the wiring layer 2 or an impurity diffusion region are formed. A conductor material film 8 is deposited on the substrate and planarized as far as a surface of the interlayer insulating film 3 is exposed, and plugs 9 constituted of the conductor material film 8 embedded in the connection holes 7 are formed. By polishing a surface of the substrate, an interlayer insulating film 3 in upper parts of the connection holes 7 which film is formed in a taper type is eliminated. As a result, the upper parts of the connection holes 7 which parts are adjacent to each other are isolated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-208633

(P2002-208633A)

(43) 公開日 平成14年7月26日 (2002.7.26)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L	21/768	H 0 1 L	L 4 M 1 0 4
	21/28		B 5 F 0 3 3
	29/41		D

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号 特願2001-2965(P2001-2965)

(22) 出願日 平成13年1月10日 (2001.1.10)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 今井 伸一

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

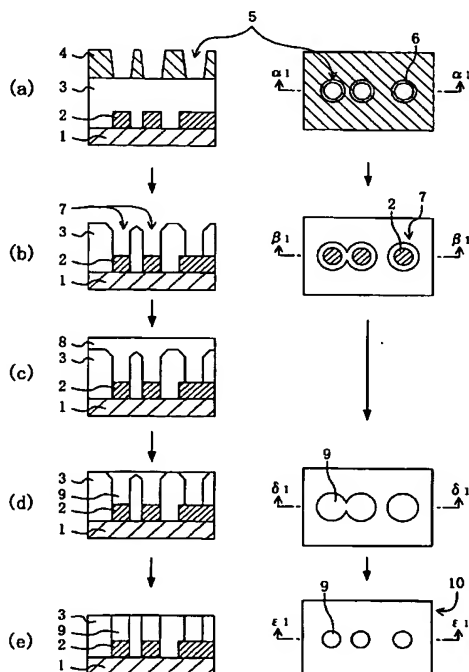
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 配線ピッチの狭い半導体装置において、互いに隣接する接続孔同士が繋がることによる配線のショートを抑制・防止する。

【解決手段】 半導体基板1上に、配線層2を、続いて層間絶縁膜3を形成し、層間絶縁膜3を平坦化する。次に、開口部5を形成したレジスト膜4をエッチングマスクとして層間絶縁膜3をドライエッチングすることによって、配線層2もしくは不純物拡散領域に達する接続孔7を形成する。次に、基板上に導体材料膜8を堆積する。次に、層間絶縁膜3の表面が露出するまで導体材料膜8を平坦化し、接続孔7に埋め込まれた導体材料膜8からなるプラグ9を形成する。さらに基板表面を研磨することによって、テーパ状に形成された接続孔7の上部の層間絶縁膜3を除去する。このことによって、互いに隣接する接続孔7の上部を分離する。



【特許請求の範囲】

【請求項 1】 複数の導体層を備える基板上に層間絶縁膜を堆積する工程 (a) と、
 上端部にテーパ部を有し、上記層間絶縁膜を貫通して上記複数の導体層のそれぞれに到達する複数の接続孔を形成する工程 (b) と、
 上記複数の接続孔の内部を含む上記層間絶縁膜上に導体材料膜を堆積する工程 (c) と、
 上記層間絶縁膜の表面が露出するまで上記導体材料膜を除去することによって、上記複数の接続孔を埋める上記導体材料膜からなる複数のプラグを形成する工程 (d) と、
 上記工程 (d) で露出した上記層間絶縁膜のうち、上記テーパ部を除去する工程 (e) と、を含む半導体装置の製造方法。

【請求項 2】 複数の導体層を備える基板上に層間絶縁膜を堆積する工程 (a) と、
 基板上に第 1 導体材料膜を堆積する工程 (b) と、
 上記第 1 導体材料膜および上記層間絶縁膜を貫通して、上記複数の導体層のそれぞれに到達する複数の接続孔を形成する工程 (c) と、
 上記複数の接続孔の内部を含む上記第 1 導体材料膜上に第 2 導体材料膜を堆積する工程 (d) と、
 上記層間絶縁膜の表面が露出するまで上記第 2 導体材料膜および上記第 1 導体材料膜を除去することによって、上記複数の接続孔を埋める上記導体材料膜からなる複数のプラグを形成する工程 (e) と、を含む半導体装置の製造方法。

【請求項 3】 複数の導体層を備える基板上に層間絶縁膜を堆積する工程 (a) と、
 上端部にテーパ部を有し、上記層間絶縁膜を貫通して上記複数の導体層のそれぞれに到達する複数の接続孔を形成する工程 (b) と、
 上記層間絶縁膜のうち、上記テーパ部を除去する工程 (c) と、
 上記複数の接続孔の内部を含む上記層間絶縁膜上に導体材料膜を堆積する工程 (d) と、
 上記層間絶縁膜の表面が露出するまで上記導体材料膜を除去することによって、上記複数の接続孔を埋める上記導体材料膜からなる複数のプラグを形成する工程 (e) と、を含む半導体装置の製造方法。

【請求項 4】 請求項 3 に記載の半導体装置の製造方法において、
 上記工程 (c) では、エッチングまたは化学的機械研磨法によって上記テーパ部を除去することを特徴とする半導体装置の製造方法。

【請求項 5】 複数の導体層を備える基板上に層間絶縁膜を堆積する工程 (a) と、
 上端部にテーパ部を有し、上記層間絶縁膜を貫通して上記複数の導体層のそれぞれに到達する複数の接続孔を

形成する工程 (b) と、
 上記複数の接続孔の内部に有機材料膜を埋め込む工程 (c) と、
 上記層間絶縁膜のうち、上記テーパ部を除去する工程 (d) と、
 上記有機材料膜を除去する工程 (e) と、
 上記複数の接続孔の内部を含む上記層間絶縁膜上に導体材料膜を堆積する工程 (f) と、
 上記層間絶縁膜の表面が露出するまで上記導体材料膜を除去することによって、上記複数の接続孔を埋める上記導体材料膜からなる複数のプラグを形成する工程 (g) と、を含む半導体装置の製造方法。

【請求項 6】 請求項 5 に記載の半導体装置の製造方法において、
 上記工程 (d) では、エッチングまたは化学的機械研磨法によって上記テーパ部を除去することを特徴とする半導体装置の製造方法。

【請求項 7】 複数の導体層を備える基板上に層間絶縁膜を堆積する工程 (a) と、
 上記層間絶縁膜上にレジスト膜を塗布し、上記レジスト膜をパターニングすることによって複数の接続孔を有するエッチングマスクを形成する工程 (b) と、
 上記エッチングマスクを用いたエッチングによって、上記層間絶縁膜を貫通して上記複数の導体層のそれぞれに到達する複数の接続孔を形成する工程 (c) と、
 上記複数の接続孔の内部を含む上記層間絶縁膜上に導体材料膜を堆積する工程 (d) と、
 上記層間絶縁膜の表面が露出するまで上記導体材料膜を除去することによって、上記複数の接続孔を埋める上記導体材料膜からなるプラグを形成する工程 (e) とを含み、
 上記工程 (b) では、上記レジスト膜を上記工程 (c) で形成される上記複数の接続孔の上端部がテーパ状にならない膜厚で塗布することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 7 に記載の半導体装置の製造方法において、
 上記工程 (c) では、上記複数の接続孔の側壁に位置する上記レジスト膜のエッチング速度に対する上記層間絶縁膜のエッチング速度の比が 3.5 以上であることを特徴とする半導体装置の製造方法。

【請求項 9】 複数の導体層を備える基板と、
 上記基板上に設けられた層間絶縁膜と、
 上記層間絶縁膜に貫通して設けられ、上記複数の導体層のそれぞれに到達する複数のプラグとを備え、
 上記複数のプラグのうち、任意の互いに隣接する 2 つのプラグは層間絶縁膜によって分離され、最短距離で互いに隣接する 2 つのプラグの間に位置する層間絶縁膜の幅は 0.30 μm 以下であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に、その微細化対策に関する。

【0002】

【従来の技術】近年、半導体デバイスの集積度の向上は目覚ましいものがある。集積度の向上とともに、配線ピッチはどんどん狭くなっている。配線ピッチが狭くなると、配線層間を貫通する接続孔においても、互いに隣接する接続孔の間の層間絶縁膜の最小幅（接続孔の分離幅）が狭くなる。つまり、接続孔に埋め込まれた導体材料膜からなり、配線層間を接続するプラグにおいても、プラグの分離幅が狭くなる。

【0003】例えば、デザインルールが $0.18\mu\text{m}$ のデバイスでは、配線ピッチが $0.47\mu\text{m}$ で、接続孔（プラグ）の直径は $0.26\mu\text{m}$ である。従って、接続孔の分離幅（プラグの分離幅）は、 $0.21\mu\text{m}$ である。このような接続孔の分離幅の狭い半導体デバイスを製造する場合、密集した多数の接続孔を形成するために、接続孔に対応する密集した多数の開口部を有するエッチングマスクを作製する必要がある。しかし、エッチングマスクを作製するためにレジスト膜をパターンニングする際には、開口部の上部が下部よりも広がった形状になりやすい。つまり、開口部の断面形状がテーパ状に形成されやすい。例えば、膜厚 $0.7\mu\text{m}$ のレジスト膜を用いて、直径 $0.26\mu\text{m}$ の接続孔を形成する場合、レジスト膜のパターンニングにおいて開口部の上部の直径が10%（ $0.026\mu\text{m}$ ）広がると、開口部の側壁の基板表面からの傾き角度（テーパ角）は 8.9° になる。

【0004】テーパ状の断面形状を有する開口部は、例えば、リソグラフィ工程におけるパターンニングの際に、設定されている中央値からフォーカス値がずれたときに形成される。このようなテーパ状の断面形状を有する開口部が形成されると、互いに隣接する開口部の間に位置するレジスト膜の膜厚が、塗布した時のレジスト膜の膜厚よりも薄くなり、互いに隣接する開口部の上部が繋がる可能性がある。

【0005】上記のようなレジスト膜をエッチングマスクとして層間絶縁膜をエッチングすることによって接続孔を形成すると、接続孔の上部が下部よりも広がった形状になりやすい。つまり、上部がテーパ状の断面形状を有する接続孔が形成される。

【0006】図11は従来の半導体装置の製造方法を示す模式的な断面図および上面図であり、工程（a）、（b）および（d）の断面図は、それぞれ上面図の $\alpha\text{II}-\alpha\text{II}$ 、 $\beta\text{II}-\beta\text{II}$ 、 $\delta\text{II}-\delta\text{II}$ 線に沿った断面を表す図である。

【0007】まず、図11（a）に示す工程で、半導体基板1に不純物拡散領域（不図示）を形成し、スイッチ

ングトランジスタ等（不図示）を形成する。次いで、半導体基板1上に配線層2を形成し、さらに基板上に層間絶縁膜3を形成する。

【0008】次に、層間絶縁膜3を化学的機械研磨法（Chemical mechanical Polishing：以下、CMP法と称す）によって平坦化した後に、レジスト膜4を形成する。次いで、フォトリソグラフィによってレジスト膜4に接続孔に対応する開口部5を形成する。このとき、開口部5の側壁6が基板表面に対して垂直である断面形状となることが理想的である。しかし、実際は上述のように、わずかに順テーパ形状となることが多い。

【0009】次に、図11（b）に示す工程で、上記のレジスト膜4をエッチングマスクとするエッチングによって層間絶縁膜3に接続孔7を形成する。このとき、エッチング後の接続孔7の上部が、テーパ状に形成される。

【0010】次に、図11（c）に示す工程で、基板上に導体材料膜8（例えば、ポリシリコン、タングステンおよび銅等）を堆積する。

【0011】次に、図11（d）に示す工程で、CMP法を用いて層間絶縁膜3の表面が露出するまで導体材料膜8を平坦化し、接続孔7に埋め込まれた導体材料膜8からなるプラグ9を形成する。

【0012】以上の工程によって、半導体装置100を作製する。

【0013】

【発明が解決しようとする課題】しかしながら、上述の従来の半導体装置の製造方法では、図11（b）の平面図に示すように、互いに隣接する接続孔の上部が繋がってしまうことがある。このため、図11（d）の平面図に示すように、互いに隣接するプラグの上部が繋がり、これらのプラグ間でショートが起こるという不具合が生じやすい。

【0014】

【課題を解決するための手段】本発明の半導体装置の製造方法は、複数の導体層を備える基板上に層間絶縁膜を堆積する工程（a）と、上端部にテーパ部を有し、上記層間絶縁膜を貫通して上記複数の導体層のそれぞれに到達する複数の接続孔を形成する工程（b）と、上記複数の接続孔の内部を含む上記層間絶縁膜上に導体材料膜を堆積する工程（c）と、上記層間絶縁膜の表面が露出するまで上記導体材料膜を除去することによって、上記複数の接続孔を埋める上記導体材料膜からなる複数のプラグを形成する工程（d）と、上記工程（d）で露出した上記層間絶縁膜のうち、上記テーパ部を除去する工程（e）とを含む。

【0015】このことによって、複数の接続孔を形成する工程（b）で互いに隣接する接続孔の上部が繋がっている場合でも、接続孔を埋めるプラグがショートする不

具合を防止することができる。

【0016】本発明の別の半導体装置の製造方法は、複数の導体層を備える基板上に層間絶縁膜を堆積する工程(a)と、基板上に第1導体材料膜を堆積する工程(b)と、上記第1導体材料膜および上記層間絶縁膜を貫通して、上記複数の導体層のそれぞれに到達する複数の接続孔を形成する工程(c)と、上記複数の接続孔の内部を含む上記層間絶縁膜および上記第1導体材料膜上に第2導体材料膜を堆積する工程(d)と、上記層間絶縁膜の表面が露出するまで上記第2導体材料膜および上記第1導体材料膜を除去することによって、上記複数の接続孔を埋める上記導体材料膜からなる複数のプラグを形成する工程(e)とを含む。

【0017】このことによって、接続孔の形成工程で互いに隣接する接続孔の上部が繋がっている場合でも、接続孔を埋めるプラグがショートする不具合を防止することができる。特に、第1および第2導体材料膜を平坦化するだけで、互いに隣接する接続孔を分離することができる。つまり、第1および第2導体材料膜に応じた条件に調整された方法で層間絶縁膜を平坦化することがない。従って、第1および第2導体材料膜に応じた条件に調整された方法で層間絶縁膜を平坦化することによる不具合が生じる場合に、特に好適に用いることができる。

【0018】本発明の別の半導体装置の製造方法は、複数の導体層を備える基板上に層間絶縁膜を堆積する工程(a)と、上端部にテーパー部を有し、上記層間絶縁膜を貫通して上記複数の導体層のそれぞれに到達する複数の接続孔を形成する工程(b)と、上記層間絶縁膜のうち、上記テーパー部を除去する工程(c)と、上記複数の接続孔の内部を含む上記層間絶縁膜上に導体材料膜を堆積する工程(d)と、上記層間絶縁膜の表面が露出するまで上記導体材料膜を除去することによって、上記複数の接続孔を埋める上記導体材料膜からなる複数のプラグを形成する工程(e)とを含む。

【0019】導体材料膜を堆積する前に、層間絶縁膜のうち、テーパー部を除去することによって、互いに隣接する接続孔を分離することができる。従って、接続孔を埋めるプラグがショートする不具合を防止することができる。

【0020】上記工程(c)では、エッチングまたは化学的機械研磨法によって上記テーパー部を除去してもよい。

【0021】本発明の別の半導体装置の製造方法は、複数の導体層を備える基板上に層間絶縁膜を堆積する工程(a)と、上端部にテーパー部を有し、上記層間絶縁膜を貫通して上記複数の導体層のそれぞれに到達する複数の接続孔を形成する工程(b)と、上記複数の接続孔の内部に有機材料膜を埋め込む工程(c)と、上記層間絶縁膜のうち、上記テーパー部を除去する工程(d)と、上記有機材料膜を除去する工程(e)と、上記複数の接

続孔の内部を含む上記層間絶縁膜上に導体材料膜を堆積する工程(f)と、上記層間絶縁膜の表面が露出するまで上記導体材料膜を除去することによって、上記複数の接続孔を埋める上記導体材料膜からなる複数のプラグを形成する工程(g)とを含む。

【0022】導体材料膜を堆積する前に、層間絶縁膜のテーパー部を除去することによって、互いに隣接する接続孔を分離することができる。従って、接続孔を埋めるプラグがショートする不具合を防止することができる。特に、基板全面に亘ってCMP法によって平坦化を行なう場合、接続孔の内部にスラリーが残ることがある。高アスペクト比の接続孔が形成されている場合、スラリーの除去が困難となる場合があるが、本発明によれば、接続孔の内部は有機材料膜が埋め込まれているので、CMP法で使用するスラリーが接続孔の内部に残ること無い。従って、プラグの形成の際に導体材料膜の中にスラリーが不純物として混在することを抑制・防止できる。

【0023】上記工程(d)では、エッチングまたは化学的機械研磨法によって上記テーパー部を除去してもよい。

【0024】本発明の別の半導体装置の製造方法は、複数の導体層を備える基板上に層間絶縁膜を堆積する工程(a)と、上記層間絶縁膜上にレジスト膜を塗布し、上記レジスト膜をパターンニングすることによって複数の接続孔を有するエッチングマスクを形成する工程(b)と、上記エッチングマスクを用いたエッチングによって、上記層間絶縁膜を貫通して上記複数の導体層のそれぞれに到達する複数の接続孔を形成する工程(c)と、上記複数の接続孔の内部を含む上記層間絶縁膜上に導体材料膜を堆積する工程(d)と、上記層間絶縁膜の表面が露出するまで上記導体材料膜を除去することによって、上記複数の接続孔を埋める上記導体材料膜からなるプラグを形成する工程(e)とを含み、上記工程(b)では、上記レジスト膜を上記工程(c)で形成される上記複数の接続孔の上端部がテーパー状にならない膜厚で塗布する。

【0025】レジスト膜を工程(c)で形成される複数の接続孔の上部がテーパー状にならない膜厚で塗布することで、接続孔をエッチングによって形成する工程で、隣接する接続孔の上部が繋がらないように加工することによって、接続孔の内部に導体材料膜を埋め込む前後に、上部で繋がった接続孔を分離するための追加工程が発生しない。従って、プラグのショートを抑制・防止し、尚かつ製造コストを削減することができる。

【0026】上記工程(c)では、上記複数の接続孔の側壁に位置する上記レジスト膜のエッチング速度に対する上記層間絶縁膜のエッチング速度の比が3.5以上であることが好ましい。

【0027】本発明の半導体装置は、複数の導体層を備える基板と、上記基板上に設けられた層間絶縁膜と、上

記層間絶縁膜に貫通して設けられ、上記複数の導体層のそれぞれに到達する複数のプラグとを備え、上記複数のプラグのうち、任意の互いに隣接する2つのプラグは層間絶縁膜によって分離され、且つ、最短距離で互いに隣接する2つのプラグの間に位置する層間絶縁膜の幅は $0.30\mu\text{m}$ 以下である。

【0028】このことによって、プラグのショートが抑制・防止された半導体装置が得られる。

【0029】

【発明の実施の形態】以下、図面を参照しながら本発明による実施形態を説明する。簡単のため、各実施形態に共通する構成要素は、同一の参照符号で示す。

【0030】（実施形態1）図1は、実施形態1の半導体装置10の製造方法を示す模式的な断面図および上面図であり、工程（a）、（b）、（d）および（e）の断面図は、それぞれ上面図の $\alpha_1-\alpha_1$ 、 $\beta_1-\beta_1$ 、 $\delta_1-\delta_1$ および $\epsilon_1-\epsilon_1$ 線に沿った断面を表す図である。

【0031】まず、図1（a）に示す工程で、半導体基板1に不純物拡散領域（不図示）を形成し、スイッチングトランジスタ等（不図示）を形成する。次いで、半導体基板1上に配線層2を形成する。本実施形態では、配線層の配線ピッチは $0.47\mu\text{m}$ である。

【0032】次に、半導体基板1上に層間絶縁膜3を形成する。本実施形態では、層間絶縁膜3として酸化膜を用いている。次に、層間絶縁膜3を、CMP法を用いて平坦化する。この後、層間絶縁膜3を覆うようにレジスト膜4を形成する。続いて、フォトリソグラフィによってレジスト膜4に開口部5を形成する。開口部5の側壁6は、下方に向かってテーパ状に形成される。

【0033】次に、図1（b）に示す工程で、開口部5を形成したレジスト膜4をエッチングマスクとして層間絶縁膜3をドライエッチングすることによって、配線層2もしくは不純物拡散領域（不図示）に達する接続孔7を形成する。図1（b）の上面図に示すように、エッチング後の接続孔7の上部は、上述のように、テーパ状に形成されやすい。このため、互いに隣接する接続孔7の上部が繋がることもある。

【0034】次に、図1（c）に示す工程で、基板上に導体材料膜8（例えば、ポリシリコン、タングステン膜、銅等）を堆積する。

【0035】次に、図1（d）に示す工程で、CMP法を用いて層間絶縁膜3の表面が露出するまで導体材料膜8を平坦化し、接続孔7に埋め込まれた導体材料膜8からなるプラグ9を形成する。

【0036】次に、図1（e）に示す工程で、CMP法によってさらに研磨（オーバー研磨）することによって、テーパ状に形成された接続孔7の上部の層間絶縁膜3を除去する。このことによって、互いに隣接する接続孔7の上部を分離する。

【0037】以上の工程によって、半導体装置10を作

製する。

【0038】本実施形態によれば、半導体装置10の製造において、接続孔7の形成工程で互いに隣接する接続孔7の上部が繋がっている場合でも、接続孔7を埋めるプラグ9がショートする不具合を防止することができる。本実施形態の方法は、最短距離で互いに隣接する2つのプラグの間に位置する層間絶縁膜の幅が $0.30\mu\text{m}$ 以下である半導体装置の製造に有効であり、特に、配線層2の配線ピッチが $0.50\mu\text{m}$ 以下である半導体装置の製造において著効を発揮する。

【0039】（実施形態2）図2は、実施形態2の半導体装置20の製造方法を示す模式的な断面図および上面図であり、工程（a）、（b）および（d）の断面図は、それぞれ上面図の $\alpha_2-\alpha_2$ 、 $\beta_2-\beta_2$ 、 $\delta_2-\delta_2$ 線に沿った断面を表す図である。

【0040】まず、図2（a）に示す工程で、半導体基板1に不純物拡散領域（不図示）を形成し、スイッチングトランジスタ等（不図示）を形成する。次いで、半導体基板1上に配線層2を形成する。本実施形態では、配線層2の配線ピッチは $0.47\mu\text{m}$ である。

【0041】次に、半導体基板1上に層間絶縁膜3を形成する。本実施形態では、層間絶縁膜3として酸化膜を用いている。続いて、層間絶縁膜3をCMPを用いて平坦化する。次に、層間絶縁膜3を覆うように導体材料膜11を形成する。この後、導体材料膜11を覆うようにレジスト膜4を形成する。続いて、フォトリソグラフィによってレジスト膜4に開口部5を形成する。開口部5の側壁6は、上面図に示すように、下方に向かってテーパ状に形成される。

【0042】次に、図2（b）に示す工程で、開口部5を形成したレジスト膜4をエッチングマスクとして、まずフッ素または塩素を主成分とし、活性種を含むプラズマエッチングによって、導体材料膜11をエッチングする。続いて、層間絶縁膜3をドライエッチングすることによって、配線層2もしくは不純物拡散領域（不図示）に達する接続孔7を形成する。図2（b）の上面図に示すように、エッチング後の接続孔7の上部、つまり導体材料膜11の部分は、上述のように、テーパ状に形成されやすい。このため、互いに隣接する接続孔7の上部が繋がることもある。

【0043】次に、図2（c）に示す工程で、基板上に導体材料膜8を堆積する。

【0044】次に、図2（d）に示す工程で、CMP法を用いて平坦化を行なう。CMP法では導体材料膜11を除去し、層間絶縁膜3の表面が露出するまで行なう。このことによって、導体材料膜8からなるプラグ9を形成する。

【0045】以上の工程によって、半導体装置20を作製する。

【0046】なお、本実施形態では導体材料膜8および

11として、タングステンを用いたが、タングステンの代わりにポリシリコンなどを用いてもよい。

【0047】本実施形態によれば、半導体装置20の製造において、接続孔7の形成工程で互いに隣接する接続孔7の上部が繋がっている場合でも、接続孔7を埋めるプラグ9がショートする不具合を防止することができる。最短距離で互いに隣接する2つのプラグの間に位置する層間絶縁膜の幅が $0.30\mu\text{m}$ 以下である半導体装置の製造に有効であり、特に、配線層2の配線ピッチが $0.50\mu\text{m}$ 以下である半導体装置の製造において著効を発揮する。

【0048】さらに、本実施形態では、導体材料膜8および11をCMP法によって平坦化するだけで、互いに隣接する接続孔7を分離することができる。つまり、導体材料膜8および11に応じた条件に調整されたCMP法で層間絶縁膜3を平坦化することができない。従って、導体材料膜8および11に応じた条件に調整されたCMP法で層間絶縁膜3を平坦化することによる不具合が生じる場合に、特に好適に用いることができる。さらに、導体材料膜8および11と層間絶縁膜3との2層構造とすることによって、CMP研磨の際のエンドポイントもと

りやすくなる。

【0049】なお、導体材料膜8および11には、それぞれ別の材料を用いても構わないが、同じ材料を用いることが好ましい。このことによって、CMP法による研磨条件（スラリー種など）を同一にすることができる。

【0050】（実施形態3）図3は、実施形態3の半導体装置30の製造方法を示す模式的な断面図および上面図であり、工程（a）、（b）、（c）および（e）の断面図は、それぞれ上面図の $\alpha_3-\alpha_3$ 、 $\beta_3-\beta_3$ 、 $\gamma_3-\gamma_3$ 、 $\varepsilon_3-\varepsilon_3$ 線に沿った断面を表す図である。

【0051】図3（a）および（b）に示すように、層間絶縁膜3に接続孔7を形成する工程は上記実施形態1と同じである。

【0052】次に、図3（c）に示す工程で、基板全面に亘ってエッチバックを行なう。このとき、接続孔7の上部のテーパー状部が除去される。このことによって、互いに隣接する接続孔を分離できる。本実施形態では、基板全面に亘るエッチバックの手段としてCMP法を用いているが、CMP法に代えてプラズマエッチングによる基板全面のエッチングを行なってもよい。特にCMP法は、上部のテーパー部分を効率的に取り除くことができるので好ましい。

【0053】次に、図3（d）に示す工程で、導体材料膜8を基板上に堆積する。

【0054】次に、図3（e）に示す工程で、CMP法を用いて層間絶縁膜3の表面が露出するまで導体材料膜8を平坦化し、接続孔7に埋め込まれた導体材料膜8からなるプラグ9を形成する。

【0055】以上の工程によって、半導体装置30を作

製する。

【0056】本実施形態によれば、導体材料膜8を堆積する前にCMP等によるエッチバックで接続孔7の上部のテーパー状部を除去することによって、互いに隣接する接続孔7を分離する。従って、接続孔7を埋めるプラグ9がショートする不具合を防止することができる。最短距離で互いに隣接する2つのプラグの間に位置する層間絶縁膜の幅が $0.30\mu\text{m}$ 以下である半導体装置の製造に有効であり、特に、配線層2の配線ピッチが $0.50\mu\text{m}$ 以下である半導体装置の製造において著効を発揮する。

【0057】特に、本実施形態では、導体材料膜8を堆積する前に行なうエッチバックにおいて、層間絶縁膜3に条件を最適化したCMP法を用いることができる。

【0058】また、本実施形態の半導体装置の製造方法は、導体材料膜としてプラズマエッチングしにくい銅などを用いる場合に特に好適である。

【0059】一般に、銅をプラズマエッチングするには、基板の温度を 200°C 以上に高くする必要があるため、レジスト膜を用いる方法ではエッチングが難しい。このため、レジスト膜に代えて温度に対して変形の少ない膜（例えば、酸化膜などのハードマスク）を用いることが多い。

【0060】しかしながら、本実施形態によれば、プラズマエッチング工程が無いので、上記のような問題は生じない。

【0061】（実施形態4）図4は、実施形態4の半導体装置40の製造方法を示す模式的な断面図および上面図であり、工程（a）、（b）、（c）、（d）および（f）の断面図は、それぞれ上面図の $\alpha_4-\alpha_4$ 、 $\beta_4-\beta_4$ 、 $\gamma_4-\gamma_4$ 、 $\delta_4-\delta_4$ 、 $\zeta_4-\zeta_4$ 線に沿った断面を表す図である。

【0062】図4（a）に示すように、層間絶縁膜3に接続孔7を形成する工程までは上記実施形態1と同じである。

【0063】次に、図4（b）に示す工程で、レジスト膜4を除去し、洗浄する。その後、有機材料膜12（例えば、レジスト膜またはARC（Anti-reflective coating）等）を接続孔7内に埋め込む。

【0064】次に、図4（c）に示す工程で、CMP法によってテーパー状に形成された接続孔7の上部の層間絶縁膜3を除去する。このことによって、互いに隣接する接続孔7を分離する。続いて、基板全面を洗浄する。

【0065】次に、図4（d）に示す工程で、酸素を主成分とするプラズマエッチングによって、もしくは溶剤を用いて有機材料膜12を除去する。

【0066】次に、図4（e）に示す工程で、基板上に導体材料膜8（例えば、ポリシリコン、タングステン膜および銅等）を堆積する。

【0067】次に、図4(f)に示す工程で、CMP法を用いて層間絶縁膜3の表面が露出するまで導体材料膜8を平坦化し、接続孔7に埋め込まれた導体材料膜8からなるプラグ9を形成する。

【0068】以上の工程によって、半導体装置40を作製する。

【0069】本実施形態によれば、導体材料膜8を堆積する前にCMP等によるエッチバックで接続孔7の上部のテーパ状部を除去することによって、互いに隣接する接続孔7を分離する。従って、接続孔7を埋めるプラグ9がショートする不具合を防止することができる。最短距離で互いに隣接する2つのプラグの間に位置する層間絶縁膜の幅が0.30μm以下である半導体装置の製造に有効であり、特に、配線層2の配線ピッチが0.50μm以下である半導体装置の製造において著効を発揮する。

【0070】接続孔7を開口した状態で接続孔7の上部のテーパ状部をCMP等によるエッチバックで除去する場合、接続孔7の内部にスラリが残ったり、エッチバックによるダメージが入ったりすることがある。通常はこのスラリを除去するために洗浄を行なう。しかし、接続孔7の直径対して層間絶縁膜3の膜厚の比が大きい、いわゆる高アスペクト比の接続孔7が形成されている場合、スラリの除去が困難となる場合がある。

【0071】しかし、本実施形態では、接続孔7の内部は有機材料膜が埋め込まれているので、CMP法で使用するスラリが接続孔7の内部に残ること無い。従って、プラグ9の形成の際に導体材料膜の中にスラリが不純物として混在することを抑制・防止できる。また、エッチバックによるダメージを抑制できる。

【0072】(実施形態5) 上述のように、従来の半導体装置の製造方法では、接続孔の上部が繋がる不具合がある。この不具合の原因を、図6(a)から(d)を参照しながら以下にさらに説明する。図6(a)から(d)は、図11の(a)と(b)の間の状態を模式的に表す図である。

【0073】開口部5が設けられたレジスト膜4を、図6(a)に示すようにエッチングマスクとして用いるドライエッチングの際には、レジスト膜4も同時にエッチングされる。従って、エッチングが進行すると、図6(b)に示すように、レジスト膜4の膜厚は全体的に薄くなり、特に、開口部5は、テーパ状にエッチングされる。このため、図6(b)中の矢印Bが指す領域のように、互いに隣接する開口部5の上部が繋がる可能性がある。さらにエッチングが進行すると、図6(c)に示すように、テーパ状にエッチングされた開口部5の直径が大きくなり、開口部5内に位置する層間絶縁膜3の上部がエッチングされる。つまり、本来開口部5内に位置していなかった部分の層間絶縁膜3がエッチングされることとなる。従って、接続孔7の上部がテーパ状に形

成される。

【0074】接続孔7の上部にわずかなテーパ状部ができると、次の工程で導体材料膜8の堆積前に行なう不活性ガス(アルゴンなど)を用いたスパッタで、わずかなテーパ状部がさらに大きくなる。このため、互いに隣接する接続孔7の上部が繋がる可能性がある。

【0075】上記の現象を式で表すと以下のようになる。ここで、図7に示すように、レジスト膜4の初期膜厚を t_0 、側壁6のレジスト膜4の膜厚を t_1 、レジスト膜4のテーパ状部のテーパ角度を θ 、平坦部のレジストエッチングレートをR、エッチング時間をTとすると、 t_1 は以下の式(1)で表現できる。

$$【0076】 t_1 = t_0 - RT / \cos \theta \quad (1)$$

接続孔7の上部にテーパ状部が形成されるレジスト膜4の臨界的な膜厚を t_c とすると、 $t_1 > t_c$ であるときにテーパ状部が形成されない。従って、 $t_0 - RT / \cos \theta > t_c$ となる。実験の結果、 t_c は150~200nmの範囲内の値であることがわかっている。つまり、最低でも150nmのレジスト膜厚があれば、接続孔7の上部にテーパ状部は形成されない。ただし、安全を見込んで、200nm程度のレジスト膜厚を確保しておくことが好ましい。従って、 $t_c = 200 \text{ nm}$ として、以下の式(2)、

$$(t_0 - 200) \cos \theta > RT \quad (2)$$

を満足すれば、接続孔7の上部にはテーパ状部は発生しない。

【0077】さらに、レジスト膜4のエッチング速度に対する層間絶縁膜3のエッチング速度の比(選択比)をsとして、エッチングすべき接続孔の層間絶縁膜3の表面からの深さ(エッチング膜厚)をLとすると、前述の式(2)はさらに以下の式(3)のように変形できる。

$$【0078】 s > L / ((t_0 - 200) \cos \theta) \quad (3)$$

ここで、Lはオーバーエッチング(OE)を含めた深さであり、OEは通常、実際の接続孔7の深さの30%から70%の値である。つまり、実際の接続孔7の深さを L_a とすると $L = L_a (1 + OE / 100)$ となる。

【0079】上記式(3)を用いると、接続孔7の上部にテーパ状部が発生しないために必要な選択比sが求められる。図8、9、10にその結果を示す。図8が $t_0 = 700 \text{ nm}$ 、図9が $t_0 = 500 \text{ nm}$ 、図10が $t_0 = 900 \text{ nm}$ の場合を示している。ここで、 θ はエッチング条件に大きく依存する。イオンエネルギーを大きくすると θ は大きくなる。イオンエネルギーはセルフバイアス値に等しく、また、ドライエッチング装置のカソードに印加する高周波電力のピークツーピーク電圧の約1/2にも等しい。

【0080】図8、9、10の結果から分かるように、いずれの場合も、一般的な深さ(約500nm)の接続孔7を形成するためには、選択比sが3.5以上であれ

ばよいことが分かる。

【0081】本実施形態は、以上の点に着目して実施している。本実施形態による半導体装置の製造方法を、図5(a)から(d)を参照しながら以下に説明する。

【0082】図5は、実施形態5の半導体装置50の製造方法を示す模式的な断面図および上面図であり、工程(a)および(d)の断面図は、それぞれ上面図の $\alpha_5 - \alpha_5$ および $\delta_5 - \delta_5$ 線に沿った断面を表す図である。

【0083】まず、図5(a)に示す工程で、半導体基板1に不純物拡散領域(不図示)を形成し、スイッチングトランジスタ等(不図示)を形成する。次いで、半導体基板1上に配線層2を形成する。本実施形態では、配線層2の配線ピッチは0.47 μ mである。

【0084】次に、半導体基板1上に層間絶縁膜3を形成する。本実施形態では、層間絶縁膜3として酸化膜を用いている。次に、層間絶縁膜3を、CMP法を用いて平坦化する。この後、層間絶縁膜3を覆うようにレジスト膜4を形成する。このとき、上述のように、レジスト膜4の膜厚は、上記式(2)を満足する厚さとしておく。続いて、フォトリソグラフィによってレジスト膜4に開口部5を形成する。開口部5の側壁6は、下方に向かってテーパ状に形成される。

【0085】次に、図5(b)に示す工程で、開口部5を形成したレジスト膜4をエッチングマスクとして層間絶縁膜3をドライエッチングすることによって、配線層2もしくは不純物拡散領域(不図示)に達する接続孔7を形成する。このとき、ドライエッチングは、上記式(3)を満たす条件で行なわれる。

【0086】次に、図5(c)に示す工程で、基板上に導体材料膜8(例えば、ポリシリコン、タングステン膜および銅等)を堆積する。

【0087】次に、図5(d)に示す工程で、CMP法を用いて層間絶縁膜3の表面が露出するまで導体材料膜8を平坦化し、接続孔7に埋め込まれた導体材料膜8からなるプラグ9を形成する。

【0088】以上の工程によって、半導体装置50を製作する。

【0089】本実施形態によれば、接続孔の形成において、接続孔の上部が繋がることなく加工することができる。最短距離で互いに隣接する2つのプラグの間に位置する層間絶縁膜の幅が0.30 μ m以下である半導体装置の製造に有効であり、特に、配線層2の配線ピッチが0.50 μ m以下である半導体装置の製造において著効を発揮する。

【0090】特に、本実施形態では、レジスト膜4の膜厚およびエッチング条件を調整することで、接続孔7をエッチングによって形成する工程で、隣接する接続孔の上部が繋がらないように加工する。このことによって、接続孔7の内部に導体材料膜を埋め込む前後に、上部で繋がった接続孔7を分離するための追加工程が発生しな

い。従って、プラグのショートを抑制・防止し、尚かつ製造コストを削減することができる。

【0091】

【発明の効果】配線ピッチの狭い半導体デバイスにおいて、接続孔をエッチングによって形成した後に、互いに隣接する接続孔の上部が繋がっている場合、接続孔内部に導体材料膜を埋め込む前工程または後工程でCMPまたは全面プラズマエッチングを用いて接続孔の上部の層間絶縁膜を除去して隣接する接続孔を分離することによって、接続孔を埋めるプラグがショートする不具合を防止することができる。

【図面の簡単な説明】

【図1】図1は、実施形態1の半導体装置10の製造方法を示す模式的な断面図および上面図であり、工程(a)、(b)、(d)および(e)の断面図は、それぞれ上面図の $\alpha_1 - \alpha_1$ 、 $\beta_1 - \beta_1$ 、 $\delta_1 - \delta_1$ および $\epsilon_1 - \epsilon_1$ 線に沿った断面を表す図である。

【図2】図2は、実施形態2の半導体装置20の製造方法を示す模式的な断面図および上面図であり、工程(a)、(b)および(d)の断面図は、それぞれ上面図の $\alpha_2 - \alpha_2$ 、 $\beta_2 - \beta_2$ 、 $\delta_2 - \delta_2$ 線に沿った断面を表す図である。

【図3】図3は、実施形態3の半導体装置30の製造方法を示す模式的な断面図および上面図であり、工程(a)、(b)、(c)および(e)の断面図は、それぞれ上面図の $\alpha_3 - \alpha_3$ 、 $\beta_3 - \beta_3$ 、 $\gamma_3 - \gamma_3$ 、 $\epsilon_3 - \epsilon_3$ 線に沿った断面を表す図である。

【図4】図4は、実施形態4の半導体装置40の製造方法を示す模式的な断面図および上面図であり、工程(a)、(b)、(c)、(d)および(f)の断面図は、それぞれ上面図の $\alpha_4 - \alpha_4$ 、 $\beta_4 - \beta_4$ 、 $\gamma_4 - \gamma_4$ 、 $\delta_4 - \delta_4$ 、 $\zeta_4 - \zeta_4$ 線に沿った断面を表す図である。

【図5】図5は、実施形態5の半導体装置50の製造方法を示す模式的な断面図および上面図であり、工程(a)および(d)の断面図は、それぞれ上面図の $\alpha_5 - \alpha_5$ および $\delta_5 - \delta_5$ 線に沿った断面を表す図である。

【図6】図6は、従来の半導体装置の製造方法を示す模式的な断面図および上面図であり、工程(a)および(d)における断面図は、それぞれ上面図の $\alpha_6 - \alpha_6$ および $\delta_6 - \delta_6$ 線に沿った断面を表す図である。

【図7】接続孔形成時の開口部および接続孔の上部の拡大図である。

【図8】図8は、実施形態5における初期レジスト膜厚700nmの場合のエッチング膜厚に対する必要選択比を示す図である。

【図9】図9は、実施形態5における初期レジスト膜厚500nmの場合のエッチング膜厚に対する必要選択比を示す図である。

【図10】図10は、実施形態5における初期レジスト膜厚900nmの場合のエッチング膜厚に対する必要選

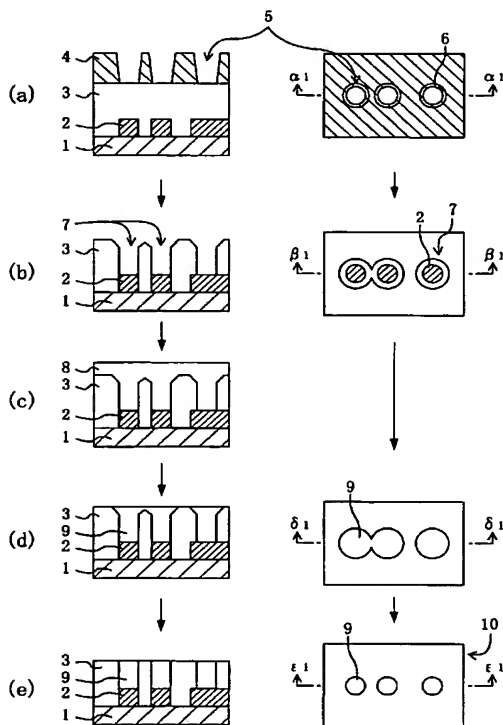
択比を示す図である。

【図11】図11は、従来の半導体装置の製造方法を示す模式的な断面図および上面図であり、工程(a)、(b)および(d)における断面図は、それぞれ上面図の $\alpha_{11}-\alpha_{11}$ 、 $\beta_{11}-\beta_{11}$ および $\delta_{11}-\delta_{11}$ 線に沿った断面を表す図である。

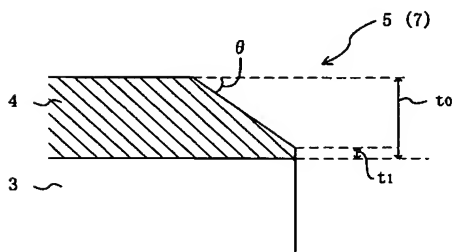
【符号の説明】

- 1 半導体基板
- 2 配線層

【図1】



【図7】



3 層間絶縁膜

4 レジスト膜

5 開口部

6 レジスト膜の側壁

7 接続孔

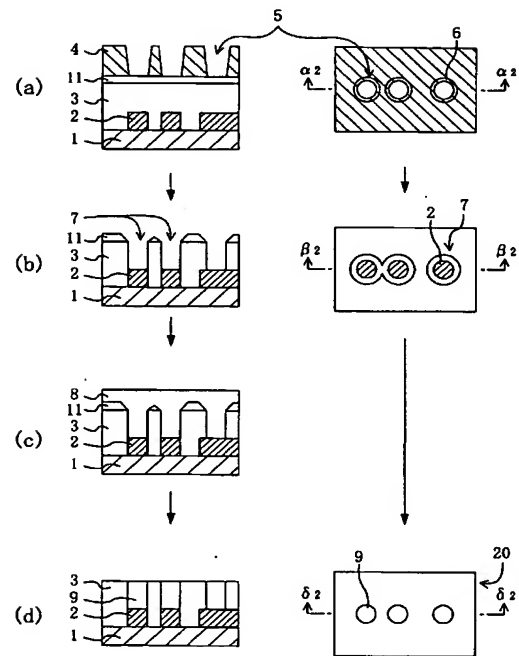
8、11 導体材料膜

9 プラグ

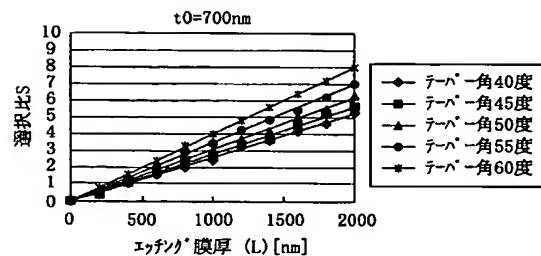
10、20、30、40、50、100 半導体装置

12 有機材料膜

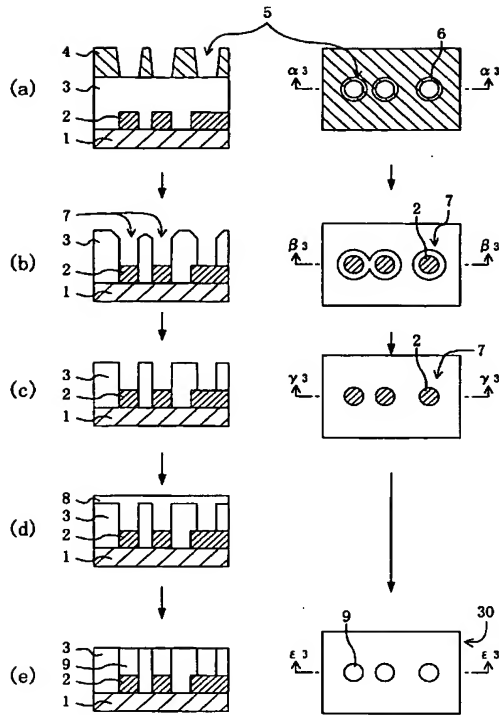
【図2】



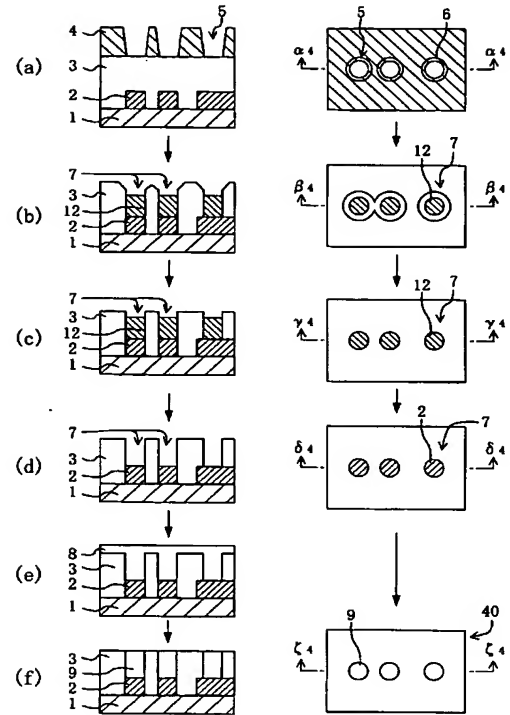
【図8】



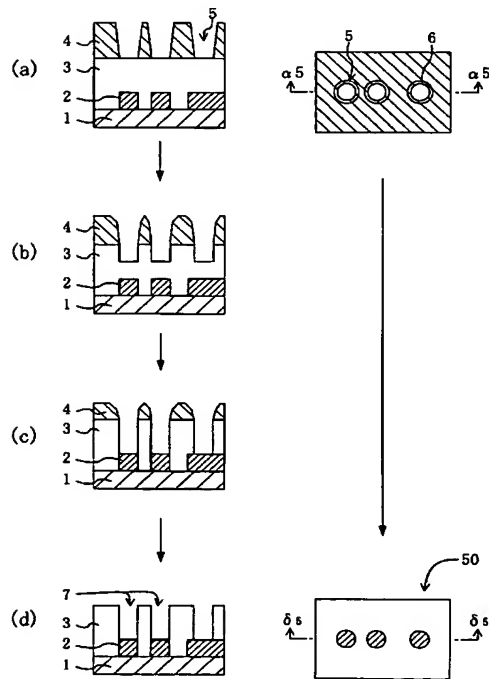
【図 3】



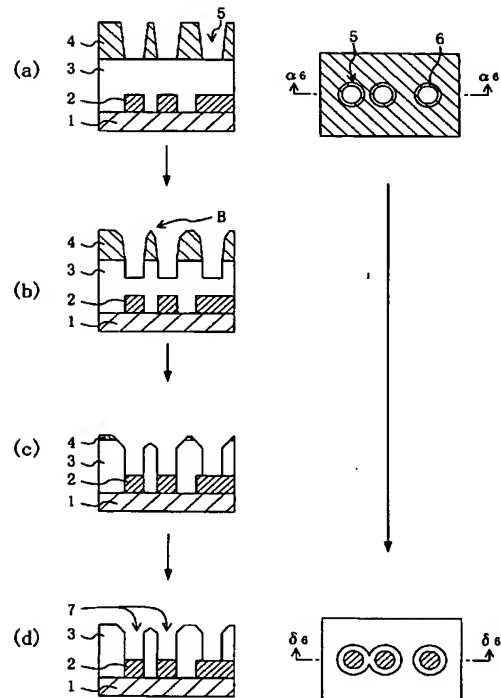
【図 4】



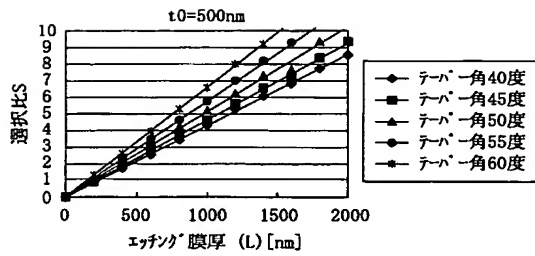
【図 5】



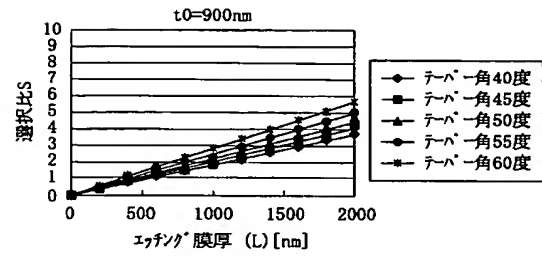
【図 6】



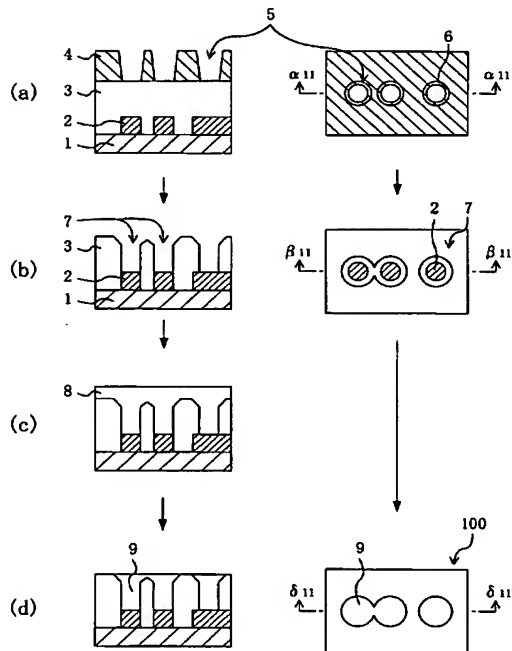
【図 9】



【図 10】



【図 11】



フロントページの続き

Fターム(参考) 4M104 BB01 BB04 BB18 DD08 DD37
DD75 FF01 HH12 HH13 HH14
5F033 JJ04 JJ11 JJ19 KK07 PP15
QQ09 QQ11 QQ12 QQ21 QQ31
QQ35 QQ37 QQ39 QQ48 QQ92
QQ96 RR02 WW00 WW02 XX01
XX02 XX03